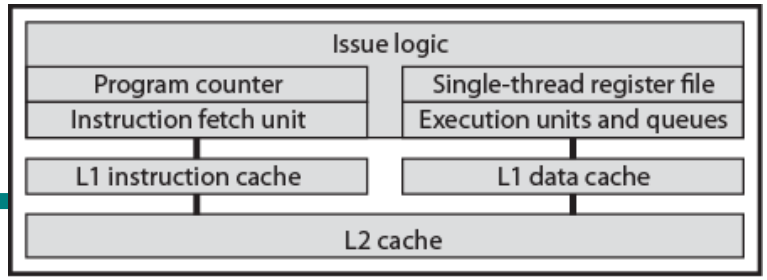
William Stallings
Computer Organization and Architecture
8th Edition

Chapter 18
Multicore

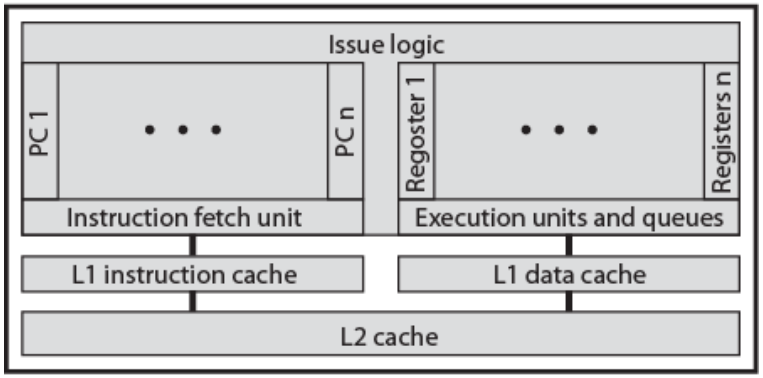
Performance de Hardware

- Microprocessadores tiveram uma evolução exponencial
  - Melhoria de organização
  - Melhoria na frequência de clock
- Acréscimo do paralelismo
  - Pipelining
  - Superscalar
  - Multithreading (SMT)
- Consequências da miniaturização
  - Mais complexidade requer mais lógica
    - Mais complexo para dimensionar, produzir e depurar

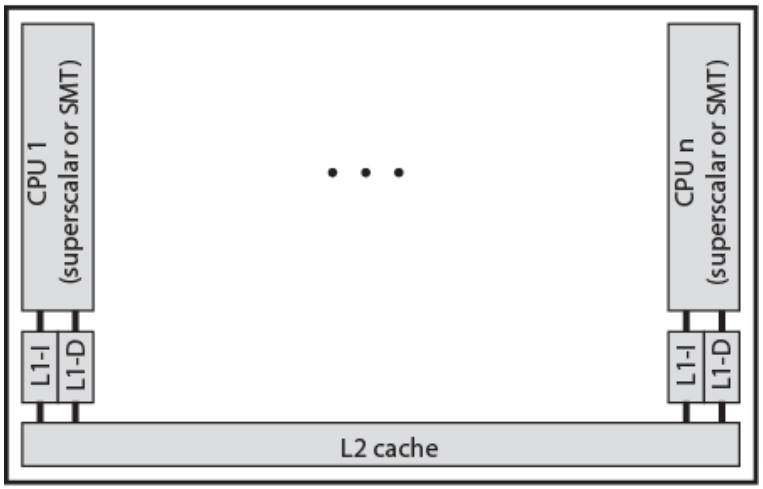
Organização do chip



(a) Superscalar

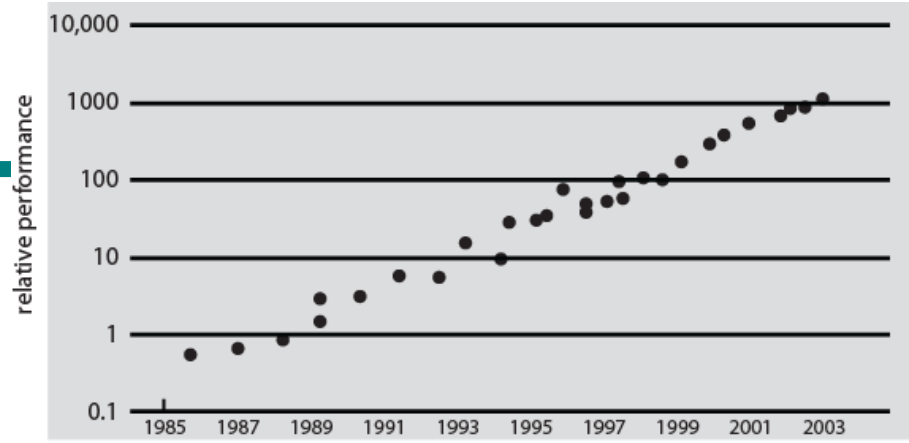


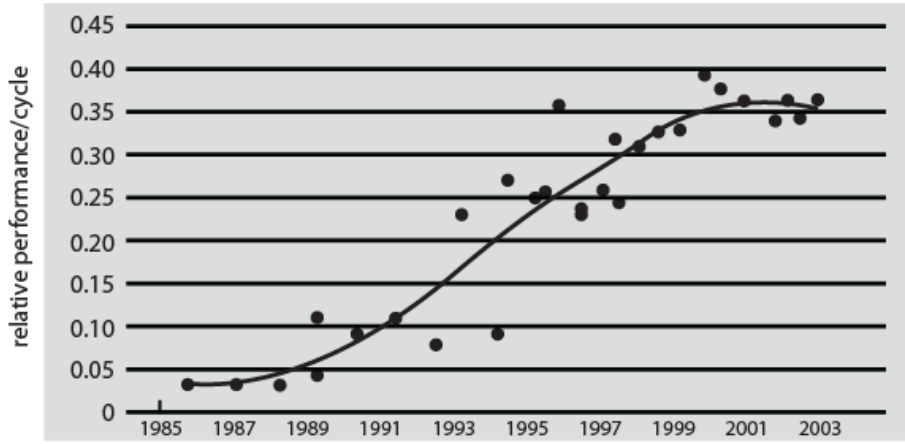
(b) Simultaneous multithreading

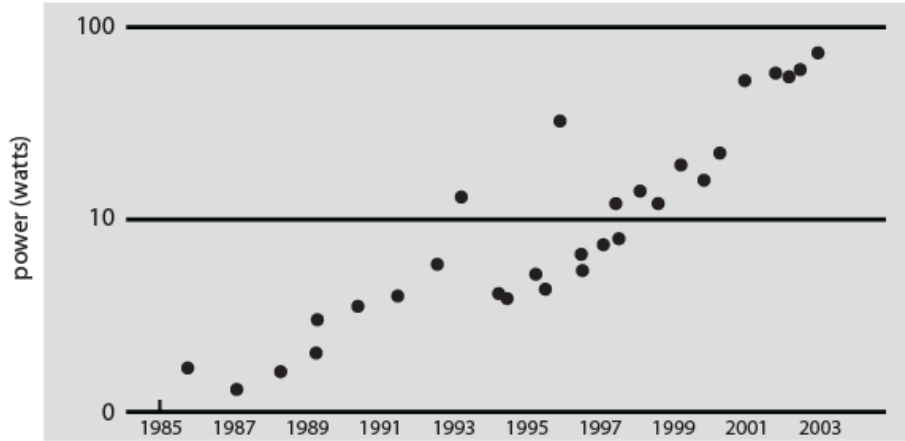


(c) Multicore

Intel Hardware Evolução



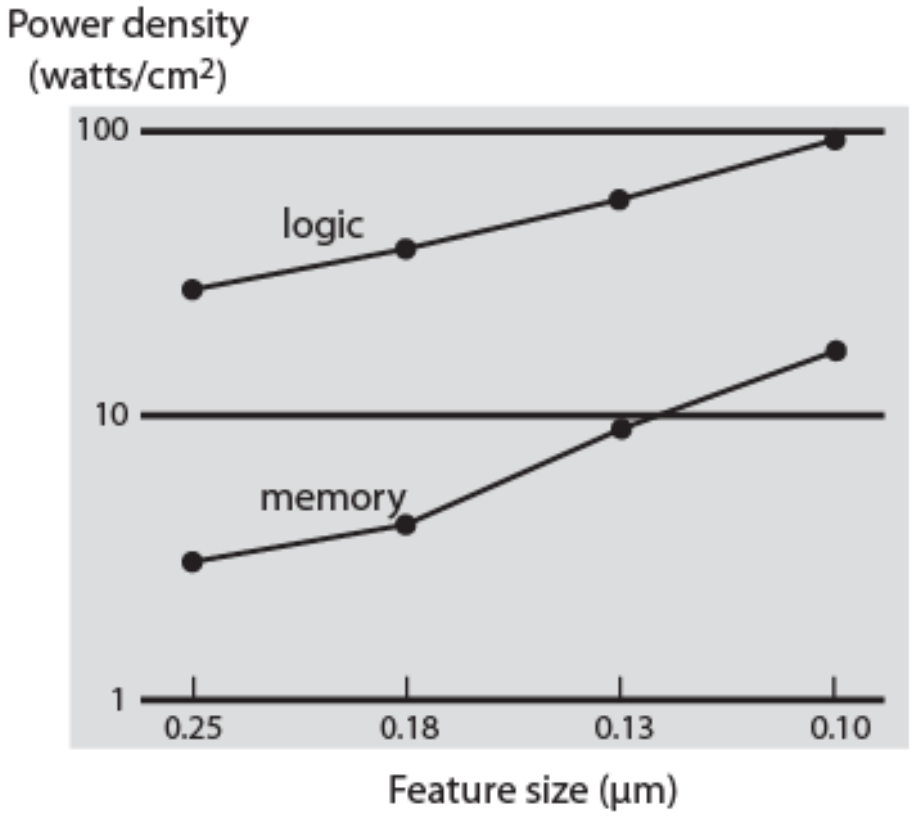




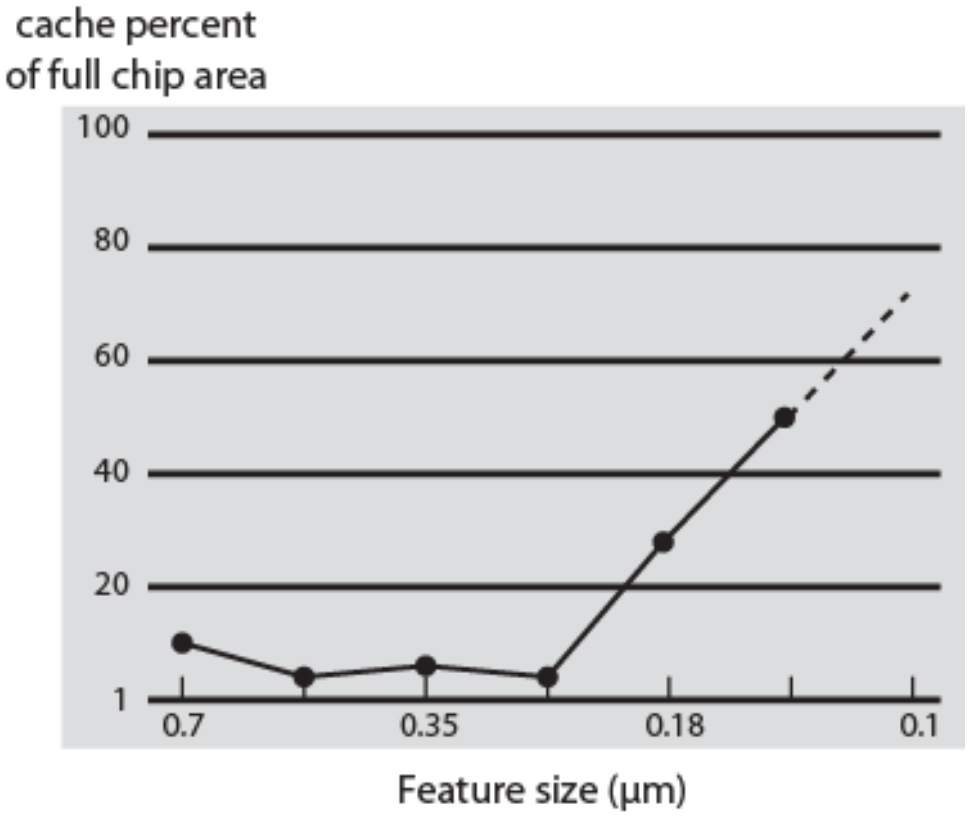
Aumento na Complexidade

- Necessidade de potência aumentou exponencialmente com o aumento na densidade do chip e na frequência de clock
  - Pode usar mais área do chip para cache
- A partir de 2015
  - 100 billion transistors on 300mm^2 die
    - 1 bilhão de transistors para operações lógicas
- A partir de 2020
    - Cache superior a 50 MB
- Lei de Pollack:
  - Performance é diretamente proporcional à raiz quadrada do aumento de complexidade
    - O dobro de complexidade oferece 40% de ganho de performance
- Multicore traz possibilidade de aumento quase linear
- Tecnologias de cache podem melhorar o desempenho

Considerações sobre potência e memória

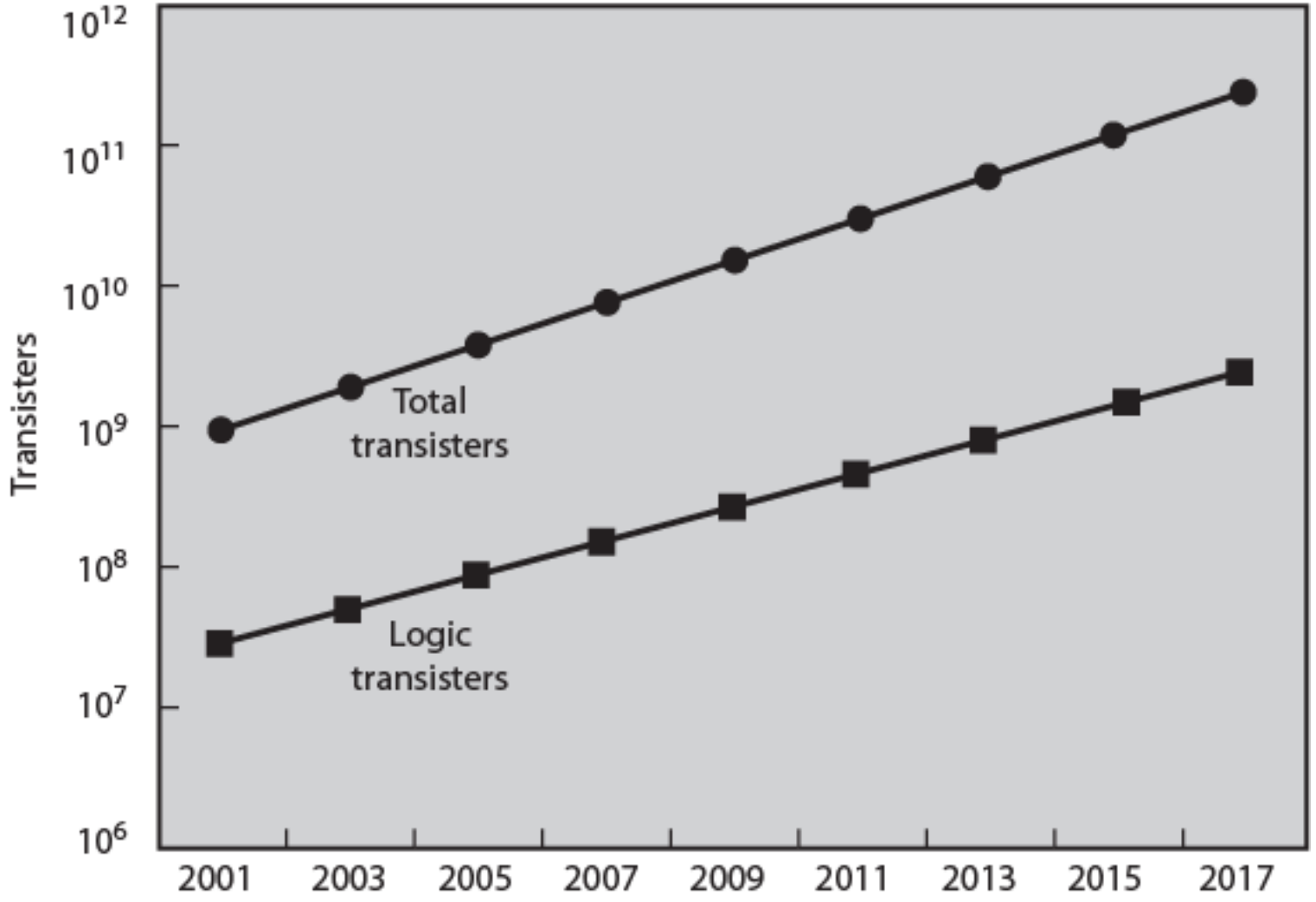


(a) Power density



(b) Chip area

Utilização dos transistors do chip



Performance de Software

- Ganho de performance depende da exploração dos recursos paralelizáveis
- Mesmo pequenas quantidades de códgo serial impactam na performance
- Algumas aplicações exploram, efetivamente, processadores multicore

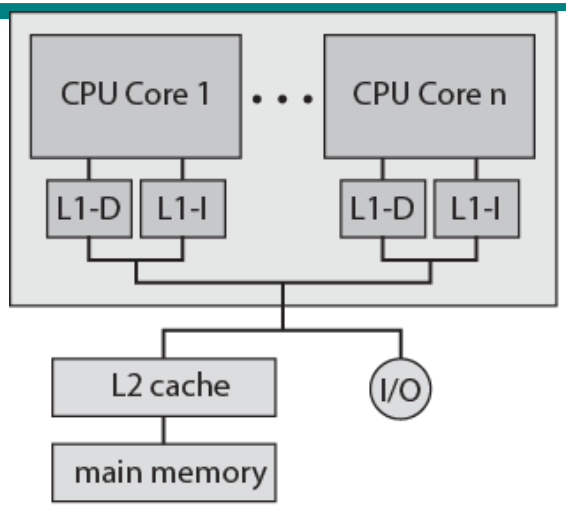
Aplicações de Processadores Multicore

- Bancos de Dados
- Tratamento de transações independents em servidores
- Aplicações multithread nativas
  - Lotus Domino, Siebel CRM
- Aplicações multi-processos
  - Oracle, SAP, PeopleSoft
- Aplicações Java
  - Java VM é multithread com escalonamento e gerenciamento de memória
- Aplicações Multi-instance
  - One application running multiple times
- E.g. Valve Game Software

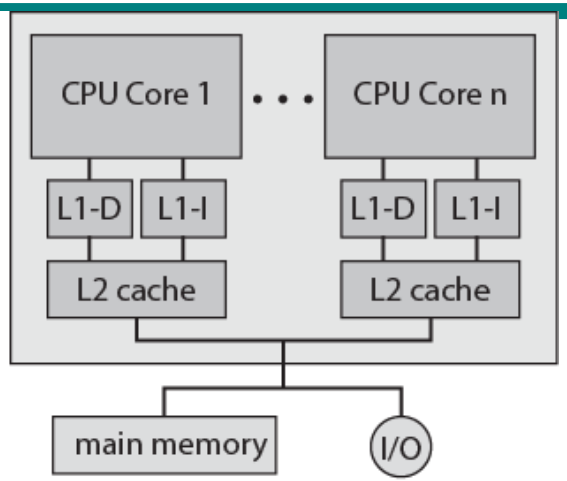
Organização Multicore

- Número de núcleos de processamento no chip
- Número de níveis de cache no chip
- Quantidade de cache compartilhado
- Exemplos:
  - (a) ARM11 MPCore
  - (b) AMD Opteron
  - (c) Intel Core Duo
  - (d) Intel Core i7

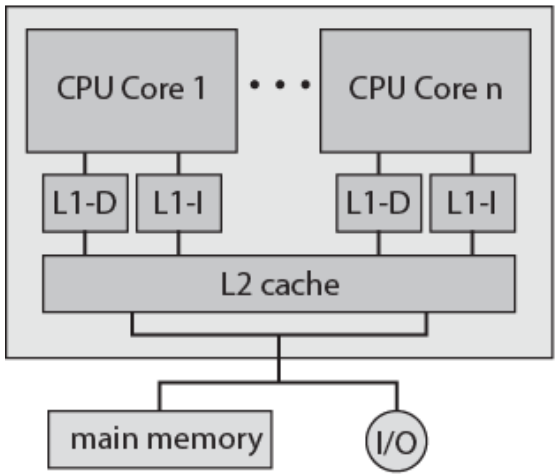
Multicore Organização



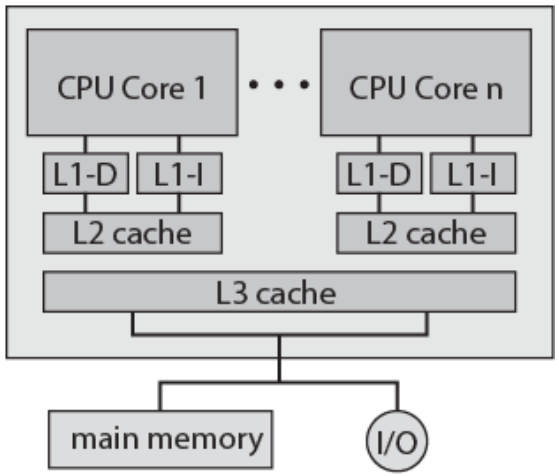
(a) Dedicated L1 cache



(b) Dedicated L2 cache



(c) Shared L2 cache



(d) Shared L3 cache

Arquitetura Core

- Intel Core Duo usa superscalar cores
- Intel Core i7 usa simultaneous multi-threading (SMT)
  - Escala de threads suportadas
    - 4 SMT cores, cada um suportando 4 threads, pode se comportar como 16 core

Intel x86 Multicore - Core Duo

- 2006
- Dois x86 superscalar, L2 cache compartilhado (2MB)
- L1 cache dedicado por core
  - 32KB instruções e 32KB dados
- Contrtole térmico por núcleo
- Controle Avançado de Interrupção

Intel x86 Multicore - Core i7

- November 2008
- Quatro processadores x86 SMT
- L2 Dedicado, L3 Compartilhado
- Cache com Prefetch Especulativo
- On chip DDR3 Controlador de Memória

ARM11 MPCore Block Diagram